

明細書

窒化物半導体素子並びにその作製方法

技術分野

本発明は、 InN や ZnO からなる窒化物半導体層を有する窒化物半導体素子及びその作製方法、並びにその窒化物半導体層を蒸着するための半導体基板及びその作製方法に関するものである。

本出願は、日本国において2003年7月15日に出願された日本特許出願番号2003-274964を基礎として優先権を主張するものであり、この出願は参照することにより、本出願に援用される。

背景技術

一般に InN 、 GaN 等に代表されるIII族の窒化物半導体は、禁制帯幅を大きく変化させることが可能であり、更にヘテロ構造を容易に作製することができるため、特に赤外領域から可視領域、更には紫外領域の光を出射する発光素子や通信デバイスの構成材料として注目されている。

中でも InN は、1.0 eV以下の禁制帯幅を有することが近年において報告されており、発光波長を可視域全体に亘り設定することができるため、表示用素子として用いる場合において特に有効である。また InN は、その高い電子移動度を利用した高周波デバイス、更には太陽電池への応用も期待されている。一方、 GaN は、青色LED (Light Emitting Diode) に加えて、 GaN 系電界効果トランジスタへの応用も期待されている。

このような窒化物半導体は、主としてMOCVD (有機金属気相成長法) 等によりサファイア基板上にエピタキシャル成長させていた。

しかしながら、上記窒化物半導体とサファイア基板の間には、極めて大きな格子不整合が存在する。このため、エピタキシャル成長時において窒化物半導体の

結晶格子に加わる応力に基づきミスフィット転位が多数発生する結果、窒化物半導体層を貫通する貫通転位が発生し、良質の結晶を得ることができず、ひいては作製するデバイス全体の品質が低下してしまうという問題点が生じる。

特に InN については、各種デバイス用構造材料への期待もさることながら、化学的に安定でかつ格子整合する基板自体が従来から存在しなかったため、上記問題点について特に改善の要請が強かった。

また GaN については、 ZnO 基板を用いれば格子不整合を低減できることは知られていたが、 GaN と ZnO とが激しく反応する結果、ヘテロ界面に界面層が形成され良質の GaN 結晶を得ることができないという問題点もあった（例えば、非特許文献 2 参照。）。一方、この GaN を成長させるための基板として、 GaN に対する反応性の低い SiC を用いられる場合もある。しかしながら、この SiC 基板は、良質な GaN 結晶をエピタキシャル成長させることができるが、基板自体が高価であり、また面積の小さい基板しか得ることができないため、量産化の要請に応えることができないという問題点があった。

発明の開示

上述の如き従来の実状に鑑み、本発明の目的は、 InN 、 GaN 等に代表される III 族の窒化物半導体につき、貫通転位の発生や界面層の発生を抑えつつ良質の窒化物半導体層を成長させる窒化物半導体素子及びその作製方法、またかかる窒化物半導体素子の作製に必要な半導体基板及びその作製方法を提供することにある。

即ち、本発明に係る窒化物半導体素子は、上述の課題を解決するために、イットリア安定化ジルコニア（以下、 YSZ という。）基板の (111) 面に対して、六方晶である InN の c 軸が略垂直となるように配向されてなる窒化物半導体層を有する。

また、本発明に係る窒化物半導体素子は、上述の課題を解決するために、 ZnO 基板の $(000-1)$ 面又は (0001) 面に対して、六方晶である GaN の c 軸が略垂直となるように配向されてなる窒化物半導体層を有する。

また、本発明に係る窒化物半導体素子は、上述の課題を解決するために、ZnO基板の(000-1)面又は(0001)面に対して、六方晶である $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 0.4$)のc軸が略垂直となるように配向されてなる窒化物半導体層を有する。

また、本発明に係る窒化物半導体素子の作製方法は、上述の課題を解決するために、InNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、イットリア安定化ジルコニア（以下、YSZという。）基板の(111)面に対して、上記InNを蒸着させる蒸着工程を有する。

また、本発明に係る窒化物半導体素子の作製方法は、上述の課題を解決するために、GaNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、ZnO基板の(000-1)面又は(0001)面に対して、上記GaNを510℃以下の温度で蒸着させる蒸着工程を有する。

また、本発明に係る窒化物半導体素子の作製方法は、上述の課題を解決するために、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 0.4$)からなる窒化物半導体層を有する窒化物半導体素子の作製方法において、ZnO基板の(000-1)面又は(0001)面に対して、上記 $\text{In}_x\text{Ga}_{1-x}\text{N}$ を510℃以下の温度で蒸着させる蒸着工程を有する。

また、本発明に係る半導体基板は、上述の課題を解決するために、イットリア安定化ジルコニア基板の(111)面上に原子ステップが形成されてなる。

また、本発明に係る半導体基板は、上述の課題を解決するために、ZnO基板の(000-1)面又は(0001)面上に原子ステップが形成されてなる。

また、本発明に係る半導体基板の作製方法は、上述の課題を解決するために、(111)面結晶方位を有するイットリア安定化ジルコニア基板を800℃以上の温度で加熱処理する加熱処理工程を有する。

また、本発明に係る半導体基板の作製方法は、上述の課題を解決するために、(000-1)面又は(0001)面結晶方位を有するZnO基板を、ZnO焼結体で包囲して800℃以上の温度で加熱処理する加熱処理工程を有する。

また、本発明に係る半導体基板の作製方法は、上述の課題を解決するために、(000-1)面又は(0001)面結晶方位を有するZnO基板を、Znを含

む材料で包囲して800℃以上の温度で加熱処理する。

図面の簡単な説明

図1は、窒化物半導体層にInNを用いた窒化物半導体素子を示す図である。

図2A及び図2Bは、YSZ基板の(111)面における原子配置につき説明するための図である。

図3A及び図3Bは、窒化物半導体層を構成するInNの原子配置につき説明するための図である。

図4は、1250℃で2時間加熱処理して作製したYSZ基板12の(111)面を原子間力顕微鏡で観察した結果を示す図である。

図5は、PLD装置の構成につき説明するための図である。

図6は、YSZ基板の(111)面に対するInN結晶のRHEED像を示す図である。

図7は、作製した窒化物半導体素子を原子間力顕微鏡で観察した結果を示す図である。

図8A及び図8Bは、窒化物半導体層につき、X線回折測定を行った結果を示す図である。

図9A及び図9Bは、YSZ基板並びに窒化物半導体層の断面をTEMにより観察した結果を示す図である。

図10は、窒化物半導体層にGaNを用いた窒化物半導体素子を示す図である。

図11は、機械研磨されたZnO基板を、ZnOの焼結体で箱状に囲んで加熱処理する場合につき説明するための図である。

図12A及び図12Bは、加熱処理したZnO基板52の(0001)面を原子間力顕微鏡で観察した結果を示す図である。

図13は、GaN結晶の成長温度に対する、GaN/ZnOヘテロ界面に形成される界面層の厚さを示す図である。

図14A及び図14Bは、ZnO基板52の(0001)面又は(000-1)面に対するGaNのRHEED像を観察した結果を示す図である。

図15は、GIXR法に基づき、窒化物半導体素子51に対してX線を斜入射させて得た反射強度のプロファイルを示す図である。

図16は、ZnO基板52上に積層させた $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ のRHEED振動を観察した結果を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照しながら詳細に説明する。本発明は、 InN 、 GaN 等に代表されるIII族の窒化物半導体層を有する窒化物半導体素子に適用される。

図1は、この窒化物半導体層に InN を用いた窒化物半導体素子11を示している。この窒化物半導体素子11は、イットリア安定化ジルコニア（以下、YSZという。）基板12の（111）面に対して、六方晶である InN のc軸が略垂直となるように配向されてなる窒化物半導体層13を有する。

YSZ基板12を構成するYSZは、例えば図2Aに示すような蛍石型構造の ZrO_2 に Y_2O_3 をドーピングすることにより構成した立方晶の安定化ジルコニアであり、Zr原子の一部がY原子で置換されて構成される。このような構成からなるYSZを $(\text{ZrO}_2)_{1-x}(\text{Y}_2\text{O}_3)_x$ で表したときに、化学量 $x=0.08$ 程度である場合において、格子定数 a は 5.14Å となる。

上述した結晶構造からなるYSZ基板12は、（111）面が基板表面となるように作製される。図2Bは、上述のような結晶構造からなるYSZ基板の（111）面を、 $\langle 111 \rangle$ 方向から示している。この図2Bに示すYSZの単位格子における（111）面上の各Zr原子（Y原子）は、一辺の長さが $\sqrt{2}a$ である正三角形上に位置することになる。またこの正三角形上に位置するZr原子（Y原子）のうち、互いに隣接するZr原子（Y原子）間の距離 y は、 $\sqrt{2}a/2$ で表される。ここで格子定数 a を上述の如く 5.14Å とすると、距離 y は、 3.63Å となる。

また、YSZ基板12上に積層形成される窒化物半導体層13を構成する InN は、例えば図3Aに示すような六方晶のウルツ鉱型構造からなる単位格子内に

I n原子とN原子が配列されてなり、 120° 周期で対称となる。最下位層にあたる6つのI n原子の上位層には、3つのN原子が充填され、更にその上位層には3つのI n原子が交互に充填される。このI n Nの格子定数は、 $a = 3.55 \text{ \AA}$ 、 $c = 5.76 \text{ \AA}$ である。

このような結晶構造からなるI n Nは、Y S Z基板の(1 1 1)面に対して、図3 Bに示すような角度で形成される場合に、Z r原子(Y原子)位置に対するI n原子位置が合致し、格子整合性を向上させることができる。ここで隣接するZ r原子(Y原子)間の距離 $y (= 3.63 \text{ \AA})$ に対し、格子定数 $a (= 3.55 \text{ \AA})$ からなる六方晶のI n Nの格子不整は、約2.34%であり、Y S Z基板1 2の(1 1 1)面に対する他のIII族の窒化物半導体の格子不整(A I N: 14.5%、G a N: 12.3%)と比較しても極めて低く抑えることが可能となる。

次に、この窒化物半導体層1 3としてI n Nを用いた窒化物半導体素子1 1の作製方法につき説明をする。

まず、基板表面が(1 1 1)面となるように切り出したY S Z基板1 2を、例えばダイヤモンドスラリーを使用して機械研磨する。この機械研磨では、使用するダイヤモンドスラリーの粒径を徐々に微細化してゆき、最後に粒径約 $0.5 \mu\text{m}$ のダイヤモンドスラリーで鏡面研磨する。このとき、更にコロイダルシリカを用いて研磨することにより、表面粗さのrmsが 10 \AA 以下となるまで平坦化させてもよい。

次に、このようにして機械研磨されたY S Z基板1 2を、 800°C 以上の温度に制御された高温オープン内の空気雰囲気中に置くことにより加熱処理する。図4は、 1250°C で2時間加熱処理して作製したY S Z基板1 2の(1 1 1)面を原子間力顕微鏡で観察した結果を示している。この図4によれば、滑らかな直線状の原子ステップがY S Z基板1 2の(1 1 1)面上において規則的に形成されている。この原子ステップは、熱処理により再配列した結晶面により形成され、滑らかで同一の結晶方位を有する。この原子ステップの高さは、約 0.3 nm でありY S Z基板1 2における(1 1 1)面の間隔に、換言すればZ r原子の原子間距離に相当する。

即ち、上述の条件に基づいてY S Z基板12を熱処理することにより、原子ステップが形成されたY S Z基板12を作製することができる。この形成された原子ステップの高さは、上述の如くZr原子の原子間距離に相当し、これはY S Z基板12上に形成され得る最小オーダの凹凸である。このような原子ステップがY S Z基板12上で観察されるということは、当該原子ステップの高さ以上のオーダからなる凹凸が存在することなく、基板表面を最も平坦な状態に仕上げることができたことを意味し、良好なInN薄膜を形成させることが可能となる。また、このような原子ステップは、InNのエピタキシャル成長における核となりうることから、更に良好な成膜環境を作り上げることも可能となる。

なお、上述した原子ステップは、加熱処理の温度が800℃以上であれば作製することは可能であるが、高温オープン内の温度が低くなる分につき、長時間に亘る加熱処理が必要となる。

次に、物理気相蒸着(PVD)法に基づき、Y S Z基板12の(111)面上にInNを蒸着させる。以下の実施の形態では、かかる蒸着をパルスレーザ堆積(Pulsed Laser Deposition: PLD)法に基づいて実行する場合につき説明をする。

このPLD法では、例えば図5に示すようなPLD装置30を用いて窒化物半導体層13をY S Z基板12上に堆積させる。このPLD装置30は、チャンバ31内にY S Z基板12とターゲット32とを配設して構成され、またこのチャンバ31の外部において上記ターゲット32表面に対向する側に配設された光発振器33と、光発振器33により発振されたパルスレーザ光のスポット径を制御するためのレンズ34とを備え、さらにチャンバ31内へ窒素ガスを注入するためのガス供給部35とを備えて構成されている。

チャンバ31は、充填する窒素ガスの濃度等を均一化するために設けられたものである。なお、ガス分子とパルスレーザ光の波長との関係においてY S Z基板12への吸着状態を制御すべく、チャンバ31にはガスの濃度を制御するための調整弁41が付設されている。またこのチャンバ31外部には、内部の圧力を制御するための圧力弁42が付設され、チャンバ31内の圧力は、減圧下で成膜するPLD法のプロセスを考慮しつつ、ロータリポンプ43により例えば窒素雰囲気

気中において $5 \times 10^{-5} \sim 1 \times 10^{-2} \text{ Torr}$ となるように制御される。このチャンバ 31 には、ターゲット 32 と対向する面において窓 31a が更に配設されており、窓 31a を介して光発振器 33 からのパルスレーザ光が入射される。

光発振器 33 は、上記パルスレーザ光として、例えばパルス周波数が 5 ～ 15 Hz であり、レーザパワーが 3 J/cm^2 であり、波長が 248 nm である KrF エキシマレーザを発振する。この発振されたパルスレーザ光は、レンズ 34 により焦点位置が上記ターゲット 32 近傍となるようにスポット調整され、窓 31a を介してチャンバ 31 内に配設されたターゲット 32 表面に対して約 30° の角度で入射される。

ターゲット 32 は、例えば In 金属（純度 99.999 ～ 99.9999 %）から構成され、YSZ 基板 12 における (111) 面に対して略平行となるように配設される。このターゲット 32 を回転軸 44 を介して回転駆動させつつ、上記パルスレーザ光を断続的に照射することにより、ターゲット 32 表面の温度を急激に上昇させ、アブレーションプラズマを発生させることができる。このアブレーションプラズマ中に含まれる In 原子は、窒素雰囲気中の窒素ガスとの衝突反応等を繰り返しながら状態を徐々に変化させて YSZ 基板 12 へ移動する。そして YSZ 基板 12 へ到達した In 原子を含む粒子は、そのまま YSZ 基板 12 上の (111) 面に拡散し、格子整合性の最も安定な状態で薄膜化されることになる。その結果、上記構成からなる窒化物半導体素子 11 が作製されることになる。

なお、この窒化物半導体素子 11 は、上記説明した PLD 法に限定されるものではなく、例えば分子線エピタキシャル (MBE) 法やスパッタリング法等、他の物理気相蒸着 (PVD) 法に基づいて作製してもよいが、InN の成長においては、通常の MBE 法よりも PLD 法を利用する方が望ましい。実際に PLD 法による 20-24 面の X 線ロッキングカーブの半値幅は、 0.35° と MBE 法の 0.60° に比べ大幅に小さい。これは PLD 法において例えば In 等の III 族原子が基板に入射するときの運動エネルギーが大きく、基板表面で良く動けるからであると考えられるためである。

また、この窒化物半導体素子 11 は、PVD 法に限定されるものではなく、例

えばMOCVD法を利用した化学気相蒸着(CVD)法に基づいて作製してもよい。

なお、このPLD法に基づくInNの蒸着過程において、反射光速電子線回折(RHEED)法に基づいて、リアルタイムに状態変化を測定するようにしてもよい。このRHEED法に基づいてYSZ基板12の(111)面に対するInN結晶のRHEED像を観察した結果を図6に示す。この図6によれば、InN結晶につきシャープなストリークパターンが得られている。これは、InNにおけるYSZ基板12の(111)面に対する格子不整が2.34%と小さいためである。即ち、このようなストリークパターンより、平坦で良質な結晶が成長していることが考えられ、高品質なInN薄膜からなる窒化物半導体層12の形成を期待することができる。

以上説明した方法に基づき作製した窒化物半導体素子11を原子間力顕微鏡で観察した結果を図7に示す。この図7によれば、YSZ基板12上に堆積された六角柱状の粒子がいたる所に観察される。これは、YSZ基板12の(111)面に対して、六方晶であるInNのc軸が略垂直となるように配向しているためである。

次に、作製した窒化物半導体素子11の窒化物半導体層13につき、X線回折(XRD)測定を行った結果を図8Aに示す、この図8Aに示すXRDスペクトルによれば、ほぼ60°間隔でピークが出現しており、六方晶のInNのc軸が(111)面に対して略垂直となるように配向していることを裏付けている。

また図8Bは、上記XRDスペクトルのうち82°付近に生じたピークの拡大図である。この図8Bに示す拡大図によれば、ピークの半値幅が0.45°であり、高い結晶性を有する良質なInN薄膜が得られていることが分かる。

この作製した窒化物半導体素子11のYSZ基板12並びに窒化物半導体層13の断面をTEM(Transmission Electron Microscope)により観察した結果を図9Aに示す。この図9Aにおける図中矢印A方向は、YSZ12基板上に堆積された窒化物半導体層13を構成するInNの<0001>方向(c軸方向)である。このTEM観察像より、高品質InNが形成されていることも確認することができる。

またこのTEM観察結果において更にB領域を拡大すると、図9Bに示すように六方晶のInNが $\langle 0001 \rangle$ 方向へ配向していることも確認することができる。特にこのYSZ基板12と窒化物半導体層13との間で急峻なヘテロ界面が形成されている。また、堆積されたInN47個に対して1個の割合でミスフィット転位が生じていることも確認することができる。このミスフィット転位は、InNのYSZ(111)面に対する格子不整に基づき生じたものであるが、本発明を適用した窒化物半導体素子11では、この格子不整を2.34%と非常に低いオーダーで抑えることができるため、従来と比較してこのミスフィット転位の発生を防止することが可能となる。

また、このようなミスフィット転位を大幅に抑制することにより、窒化物半導体層13を貫通する貫通転位の発生を抑えることができるため、良質のInN結晶を得ることができる。また、このような良質の結晶で構成される窒化物半導体層13を有する窒化物半導体素子11全体の品質を大幅に向上させることが可能となる。

特にInNの禁制帯幅については、近年において1.0eV以下と報告されており、発光波長を可視域全体に亘って設定することができるため、このInNを窒化物半導体層13として構成する窒化物半導体素子11は、発光素子や通信デバイス、更には太陽電池等、様々な用途に応用することができる。特に、この窒化物半導体素子11は、InNに対して化学的に安定でかつ格子整合するYSZ基板12を用いているため、これら応用する各種デバイスの性能を向上させることが可能となる。

なお、本発明は上述した窒化物半導体素子11の作製方法において、予め原子ステップを形成させたYSZ基板12を用いる場合を例にとり説明をしたが、原子ステップの存在しないYSZ基板を用いてもInNを成膜することは可能である。

また、ZrO₂にドーブするY₂O₃の化学量Xは、X=0.08に限定されるものではなく、用途に応じていかなる化学量で構成してもよい。この化学量Xを制御することによりYSZの格子定数を制御することができるため、上述した格子不整を更に小さくすることにより、ミスフィット転位を更に低減させることも

可能となる。

次に、窒化物半導体層にGaNを用いた窒化物半導体素子51について詳細に説明する。窒化物半導体素子51は、図10に示すようにZnOからなるZnO基板52の(0001)面又は(000-1)面に対して、六方晶であるGaNのc軸が略垂直となるように配向されてなる窒化物半導体層53を有する。

ZnO基板52を構成するZnOは、上述した図3Aに示すようなウルツ鉱型の結晶構造を有し、格子定数は $a = 3.252 \text{ \AA}$ であり、禁制帯幅が 3.2 eV 、励起子の結合エネルギーが 60 meV である。

また、ZnO基板52上に積層形成される窒化物半導体層53を構成するGaNも同様にウルツ鉱型の結晶構造を有し、格子定数は $a = 3.189 \text{ \AA}$ であり、禁制帯幅が 3.4 eV 、励起子の結合エネルギーが 21 meV である。

このような結晶構造からなるZnO及びGaNは、互いに格子定数が略等しいため、格子不整を極力低減させることが可能となる。

次に、このGaNを用いた窒化物半導体素子11の作製方法につき説明をする。

まず、基板表面が(0001)面又は(000-1)面となるように切り出したZnO基板52を、例えばダイヤモンドスラリーやコロイダルシリカを用いて機械研磨する。このときも同様に表面粗さのrmsが 10 \AA 以下となるまで基板表面を平坦化させてもよい。

次に、この機械研磨されたZnO基板52を、 800°C 以上の温度に制御された高温オープン内において、図11に示すようにZnOの焼結体で箱状に囲んで加熱処理する。かかる場合において、ZnO基板52をZnO焼結体により包囲していればよく、また包囲する焼結体によりZnO基板52全てを包み込むことは必須とはならない。また、例えばZnO焼結体からなる坩堝を作製してその中にZnO基板52を載置するようにしてもよい。また、ZnO焼結体からなる箱を作製してその中にZnO基板52を載置するようにしてもよい。

特にZnの蒸気圧は比較的高いため、基板材料として用いるZnO基板52を加熱処理するとこれが分解してしまうという問題点があったが、図11の如くZnO焼結体により包囲したZnO基板52を加熱することにより、いわばZnOの蒸気圧をかけた状態で加熱処理することができるため、ZnO基板52自体の

分解を抑制することが可能となる。

これは、以下に説明する理由から導くことができる。即ち、Znの蒸気圧は比較的に高いため、周囲をZnO焼結体で包囲しない場合には、次の反応 $2\text{ZnO} = 2\text{Zn} + \text{O}_2$ に基づいてZnが効率よくZnO基板52から除去されることになる。これに対して、ZnO基板52の周囲をZnO焼結体で包囲することにより、かかるZnO焼結体からZnO基板周囲の気相中へZnが逃散する結果、かかる気相中におけるZn濃度が高くなる。このため、ZnO基板52中のZnが気相中へ逃散するいわゆる逃散能を低くすることができる結果、ZnO基板52自体の分解を抑制することができるためである。

ちなみに、ZnO基板52中のZnの気相中への逃散を抑えるためには、その周囲をZnO焼結体で包囲する以外に、Znを含む材料で包囲するようにしてもよい。Znを含む材料の例として、例えばZnO単結晶を用いてもよいし、Znの板を用いてもよい。かかる場合においても同様に、ZnO基板52自体の分解を抑制することができる。

上述した加熱処理方法については、ZnO基板52のみに限定されるものではなく、以下に示す化合物からなる基板材料を同一の化合物からなる焼結体で包囲して加熱処理する場合にも適用することができる。

例えば、 LiNbO_3 基板については、 LiNbO_3 焼結体で上述の如く包囲することにより、Liの分解を抑制することができる。このようにして加熱処理した LiNbO_3 基板の表面は、2-3オングストロームの高さを持つ原子層ステップによって区切られた原子レベルで平坦なテラスが形成されているため、この上に成長させるGaNの結晶性を格段に向上させることができる。

このとき、 LiNbO_3 焼結体で包囲する以外に、Liを含む材料で包囲するようにしてもよい。即ち、 LiNbO_3 基板を、Liを含む材料で包囲して加熱処理することにより、 LiNbO_3 基板の分解を抑制することができる。

また、 LiTaO_3 基板については、 LiTaO_3 で上述の如く包囲することにより、Liの分解を抑制することができる。かかる場合においても、Liを含む材料で包囲して加熱処理することにより、 LiTaO_3 基板の分解を抑制することができる。また、 SrTiO_3 基板については、 SrTiO_3 焼結体で上述の

如く包囲することにより、 Sr の分解を抑制することができる。かかる場合においても、 Sr を含む材料で包囲して加熱処理することにより、 SrTiO_3 基板の分解を抑制することができる。また、 LiGaO_2 については、 LiGaO_2 焼結体で上述の如く包囲することにより、 Li の分解を抑制することができる。かかる場合においても、 Li を含む材料で包囲して加熱処理することにより、 LiGaO_2 基板の分解を抑制することができる。また、 MgO 基板については、 MgO 焼結体で上述の如く包囲することにより、 Mg の分解を抑制することができる。かかる場合においても、 Mg を含む材料で包囲して加熱処理することにより、 MgO 基板の分解を抑制することができる。また LiAlO_2 基板については、 LiAlO_2 焼結体で上述の如く包囲することにより、 Li の分解を抑制することができる。かかる場合においても、 Li を含む材料で包囲して加熱処理することにより、 LiAlO_2 基板の分解を抑制することができる。また、 LaSrAlTaO_3 基板については、 LaSrAlTaO_3 焼結体で上述の如く包囲することにより、 La の分解を抑制することができる。かかる場合においても、 La を含む材料で包囲して加熱処理することにより、 LaSrAlTaO_3 基板の分解を抑制することができる。

更には、 K 、 Ca 、 Na 、 Zn 、 Te 、 Mg 、 Sr 、 Yb 、 Li 、 Eu 、 Ca 、 Hg 、 Bi 等の元素の分解を抑える場合においても上記加熱処理方法を適用することができる。

図12Aは、この1150℃で6.5時間加熱処理した ZnO 基板52の(0001)面を原子間力顕微鏡で観察した結果を示している。この図12Aより、曲線状の原子ステップが ZnO 基板52の(0001)面上において形成されているのが分かる。図12Bは、1150℃で3.5時間加熱処理した ZnO 基板52の(000-1)面を原子間力顕微鏡で観察した結果を示している。この図12Bより、滑らかな直線状の原子ステップが ZnO 基板52の(000-1)面上において規則的に形成されているのが分かる。なお、各原子ステップの高さをこの原子間力顕微鏡を用いて測定した結果、約0.5nmであった。

即ち、上述の条件に基づいて ZnO 基板52を加熱処理することにより、原子ステップが形成された ZnO 基板52を結晶成長用基板として適用することが

可能となる。この原子ステップが観察されることは、基板表面を最も平坦な状態に上げることができ、良好なGaN薄膜を形成させることが可能となる。またこの原子ステップは、GaNのエピタキシャル成長における核となりうることから、更に良好な成膜環境を作り上げることも可能となる。

次に、上述したPLD法により、ZnO基板52を加熱しつつ、その(0001)面又は(000-1)面上にGaNを蒸着させる。このときPLD装置30におけるチャンバ31内の圧力は、窒素雰囲気中において 1×10^{-1} Torrとなるように制御する。また光発振器33からは、パルスレーザ光として、レーザパワーが 3 J/cm^2 であり、KrFエキシマレーザを発振する。またターゲット32は、Ga金属(純度99.99%)で構成し、このターゲット32表面に対して加熱処理されたZnO基板52の(0001)面又は(000-1)面が略平行となるように配設される。

このターゲット32に対してパルスレーザ光を断続的に照射することにより発生させられるアブレーションプラズマには、Ga原子が含まれている。Ga原子は、窒素雰囲気中の窒素ガスとの衝突反応等を繰り返しながら状態を徐々に変化させてZnO基板52へ移動する。そしてZnO基板52へ到達したGa原子を含む粒子は、そのままZnO基板52上の(0001)面又は(000-1)面上に拡散し、格子整合性の最も安定な状態で薄膜化されることになる。その結果、上記構成からなる窒化物半導体素子51が作製されることになる。

なお、この窒化物半導体素子51についても同様に他の物理気相蒸着法、化学気相蒸着法に基づいて作製してもよい。

図13は、GaN結晶の成長温度に対し、GaN/ZnOヘテロ界面に形成される界面層の厚さを示している。この図13に示すように、成長温度が550℃付近を超えるとヘテロ界面に形成される界面層の厚みが急激に増加する。即ち、GaN及びZnOは、成長温度が550℃付近を超えると急激に反応することが分かる。

ここでRHEED法に基づいてZnO基板52の(0001)面又は(000-1)面に対するGaNのRHEED像を観察した結果を図14に示す。図14Aによれば、成長温度を510℃とした場合において、GaNにつきシャープな

ストリークパターンが得られており、良質な結晶が成長していることが分かる。これに対して、図14Bによれば、成長温度を680℃とした場合には、ヘテロ界面において界面層が生成される結果GaNの三次元成長が生じ、明らかにGaN結晶の成長挙動が両者間で異なることが分かる。

次に、GIXR (Grazing Incidence X-ray Reflectivity) 法に基づき、成長温度を510℃として作製した窒化物半導体素子51に対してX線を斜入射させて反射強度のプロファイルを解析した結果を図15に示す。この反射強度のプロファイルから、成長温度を510℃とした場合において、ヘテロ界面に界面層が全く形成されていないことが分かる。

即ち、上記RHEED像やGIXRのプロファイルより、GaNの成長温度を510℃以下とした場合に、GaNとZnOとの反応を抑制することができ、界面層の生成を抑えることができることが示される。

このため、本発明に係る窒化物半導体素子51を作製する場合において、GaNの成長温度が510℃以下となるように制御する。これにより、ZnO基板52と窒化物半導体層53との間において界面層の存在しない急峻な界面を作り出すことが可能となる。特に、上述の如く加熱処理されたZnO基板52は、ナノオーダで平坦化されているため、更に急峻なヘテロ界面を形成させることも可能となる。このため本発明では、より良質のGaN結晶を蒸着させることができ、窒化物半導体素子51全体の品質を大幅に向上させることが可能となる。

ちなみに、GaNのZnOに対する反応容易性を利用し、このGaNの成長温度を室温程度まで下げるようにしてもよい。高温で反応させた場合には、反応後の冷却に伴う熱衝撃抵抗が加わる結果、結晶に欠陥が生じ、得られる窒化物半導体素子51の品質を下げてしまう要因にもなるが、GaNの成長温度を室温まで下げることにより、かかる欠陥の発生を抑えることができる。

特にGaNは、その禁制帯幅により、青色LED (Light Emitting Diode) に加えて、GaN系電界効果トランジスタ等様々な用途に適用することができるが、ZnO基板52上に良質のGaN結晶を成長させて構成した窒化物半導体素子51では、これら応用する各種デバイスの性能を向上させることが可能となる。

なお、本発明は上述した窒化物半導体素子51の作製方法において、予め原子

ステップを形成させたZnO基板52を用いる場合を例にとり説明をしたが、原子ステップの存在しないZnO基板を用いても窒化物半導体層52を成膜することは可能である。

また、本発明を適用した窒化物半導体素子51は、上述した実施の形態への適用に限定されるものではなく、窒化物半導体層53を構成する元素の一部を他の元素に置換するようにしてもよい。

例えば、窒化物半導体層53を構成するGa元素の一部をIn元素に置換したInGa_xNを、原子レベルで平坦化したZnO基板52上に積層させるようにしてもよい。InGa_xNの格子定数は、Ga_{1-x}Nの格子定数と比較してZnOと整合するため、より良質の結晶を得ることができる。例えば、Ga元素の20%をIn元素に置換したIn_{0.2}Ga_{0.8}NをZnO基板52上に積層させることにより、窒化物半導体素子51の品質をより大幅に向上させることができる。

ZnO基板52上に積層させたIn_{0.2}Ga_{0.8}NのRHEED振動を観察した結果を図16に示す。この図16によれば、成長初期から強いRHEED振動が観察され、結晶性を格段に向上できていることが分かる。なお、このZnO基板52上に積層させたIn_{0.2}Ga_{0.8}Nの上に更にGa_{1-x}Nを積層させるようにしてもよいことは、勿論である。

なお、In_xGa_{1-x}Nで表す場合に、 $0 \leq x \leq 0.4$ の範囲であれば上述の作用効果を得ることができる。

また、本発明は、図面を参照して説明した上述の実施例に限定されるものではなく、添付の請求の範囲及びその主旨を逸脱することなく、様々な変更、置換又はその同等のものを行うことができることは当業者にとって明らかである。

産業上の利用の可能性

以上詳細に説明したように、本発明を適用した窒化物半導体素子は、イットリウム安定化ジルコニア（以下、YSZという。）基板の（111）面に対して、六方晶であるInNのc軸が略垂直となるように配向されてなる窒化物半導体層を有する。これにより、格子不整を抑えることができるため、ミスフィット転位

の発生を防止することが可能となり、ひいては窒化物半導体層を貫通する貫通転位の発生を抑えることも可能となる。

本発明を適用した窒化物半導体素子は、ZnO基板の(000-1)面又は(0001)面に対して、六方晶であるGaNのc軸が略垂直となるように配向されてなる窒化物半導体層を有する。即ち、この窒化物半導体素子は、ヘテロ界面に界面層が形成されていないため、良質のGaN結晶からなる窒化物半導体層を有しており、適用する各種デバイスの性能を向上させることが可能となる。

また、本発明を適用した窒化物半導体素子の作製方法は、InNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、YSZ基板の(111)面に対して、上記InNを蒸着させる蒸着工程を有する。これにより、YSZ基板の(111)面において格子不整を抑えた良質のInN結晶からなる窒化物半導体層を形成させることが可能となる。

また、本発明を適用した窒化物半導体素子の作製方法は、GaNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、ZnO基板の(000-1)面又は(0001)面に対して、上記GaNを510℃以下の温度で蒸着させる蒸着工程を有する。これにより、ZnO基板と窒化物半導体層との間において界面層の存在しない急峻な界面を作り出すことができ、良質のGaN結晶を成長させることが可能となる。

また、本発明を適用した半導体基板は、イットリア安定化ジルコニア基板の(111)面上に原子ステップが形成されてなる。これにより、この半導体基板は、良好なInN薄膜を形成させることが可能となる。

また、本発明を適用した半導体基板は、ZnO基板の(000-1)面又は(0001)面上に原子ステップが形成されてなる。これにより、この半導体基板は、良好なGaN薄膜を形成させることが可能となる。

また、本発明を適用した半導体基板の作製方法は、(111)面結晶方位を有するイットリア安定化ジルコニア基板を800℃以上の温度で加熱処理する加熱処理工程を有する。これにより、この半導体基板の作製方法では、イットリア安定化ジルコニア基板の(111)面上に原子ステップを形成することが可能となる。

また、本発明を適用した半導体基板の作製方法は、 $(000-1)$ 面又は (0001) 面結晶方位を有するZnO基板を、ZnO焼結体で包囲して 800°C 以上の温度で加熱処理する加熱処理工程を有する。これにより、この半導体基板の作製方法では、ZnO基板の $(000-1)$ 面又は (0001) 面上に原子ステップを形成することが可能となる。

請求の範囲

1. イットリア安定化ジルコニア（以下、YSZという。）基板の（111）面に対して、六方晶であるInNのc軸が略垂直となるように配向されてなる窒化物半導体層を有することを特徴とする窒化物半導体素子。
2. 上記YSZ基板の（111）面には、原子ステップが形成されていることを特徴とする請求の範囲第1項記載の窒化物半導体素子。
3. ZnO基板の（000-1）面又は（0001）面に対して、六方晶であるGaNのc軸が略垂直となるように配向されてなる窒化物半導体層を有することを特徴とする窒化物半導体素子。
4. 上記ZnO基板の（000-1）面又は（0001）面には、原子ステップが形成されていることを特徴とする請求の範囲第3項記載の窒化物半導体素子。
5. ZnO基板の（000-1）面又は（0001）面に対して、六方晶である $\text{In}_x\text{Ga}_{1-x}\text{N}$ （ $0 \leq x \leq 0.4$ ）のc軸が略垂直となるように配向されてなる窒化物半導体層を有することを特徴とする窒化物半導体素子。
6. InNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、イットリア安定化ジルコニア（以下、YSZという。）基板の（111）面に対して、上記InNを蒸着させる蒸着工程を有することを特徴とする窒化物半導体素子の作製方法。
7. 上記蒸着工程では、物理気相蒸着（PVD）法又は化学気相蒸着（CVD）法に基づいて上記InNをエピタキシャル成長させることを特徴とする請求の範囲第6項記載の窒化物半導体素子の作製方法。
8. 上記YSZ基板の（111）面上に予め原子ステップを形成するステップ形成工程を更に有し、上記蒸着工程では、上記原子ステップが形成されたYSZ基板に対して、上記InNを蒸着させることを特徴とする請求の範囲第6項記載の窒化物半導体素子の作製方法。
9. 上記ステップ形成工程では、（111）面結晶方位を有するYSZ基板を、800℃以上の温度で加熱処理することを特徴とする請求の範囲第8項記載の窒化物半導体素子の作製方法。

10. GaNからなる窒化物半導体層を有する窒化物半導体素子の作製方法において、ZnO基板の(000-1)面又は(0001)面に対して、上記GaNを510℃以下の温度で蒸着させる蒸着工程を有することを特徴とする窒化物半導体素子の作製方法。

11. 上記蒸着工程では、物理気相蒸着(PVD)法又は化学気相蒸着(CVD)法に基づいて上記GaNをエピタキシャル成長させることを特徴とする請求の範囲第10項記載の窒化物半導体素子の作製方法。

12. 上記ZnO基板の(000-1)面又は(0001)面上に予め原子ステップを形成するステップ形成工程を更に有し、上記蒸着工程では、上記原子ステップが形成されたZnO基板に対して、上記GaNを蒸着させることを特徴とする請求の範囲第10項記載の窒化物半導体素子の作製方法。

13. 上記ステップ形成工程では、(000-1)面又は(0001)面結晶方位を有するZnO基板を、ZnOの焼結体で包囲して800℃以上の温度で加熱処理することを特徴とする請求の範囲第12項記載の窒化物半導体素子の作製方法。

14. 上記ステップ形成工程では、(000-1)面又は(0001)面結晶方位を有するZnO基板を、Znを含む材料で包囲して800℃以上の温度で加熱処理することを特徴とする請求の範囲第12項記載の窒化物半導体素子の作製方法。

15. 上記蒸着工程では、上記GaNを室温で蒸着させることを特徴とする請求の範囲第10項記載の窒化物半導体素子の作製方法。

16. $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 0.4$) からなる窒化物半導体層を有する窒化物半導体素子の作製方法において、ZnO基板の(000-1)面又は(0001)面に対して、上記 $\text{In}_x\text{Ga}_{1-x}\text{N}$ を510℃以下の温度で蒸着させる蒸着工程を有することを特徴とする窒化物半導体素子の作製方法。

17. イットリア安定化ジルコニア基板の(111)面上に原子ステップが形成されてなることを特徴とする半導体基板。

18. ZnO基板の(000-1)面又は(0001)面上に原子ステップが形成されてなることを特徴とする半導体基板。

19. (111)面結晶方位を有するイットリア安定化ジルコニア基板を800℃以上の温度で加熱処理する加熱処理工程を有することを特徴とする半導体基板の作製方法。

20. (000-1)面又は(0001)面結晶方位を有するZnO基板を、ZnO焼結体で包囲して800℃以上の温度で加熱処理する加熱処理工程を有することを特徴とする半導体基板の作製方法。

21. (000-1)面又は(0001)面結晶方位を有するZnO基板を、Znを含む材料で包囲して800℃以上の温度で加熱処理することを特徴とする半導体基板の作製方法。

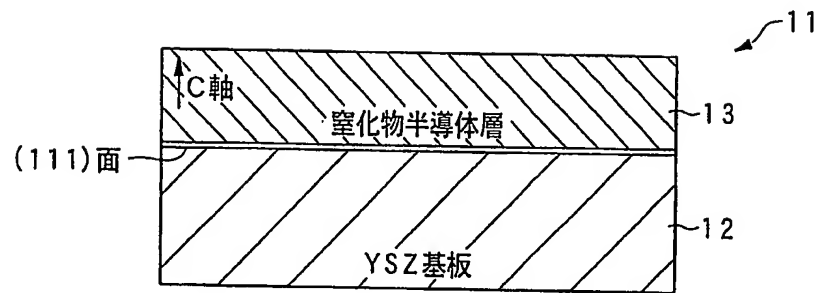


FIG. 1

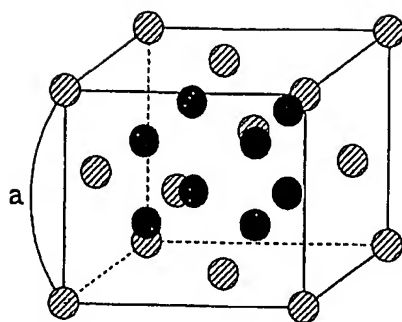


FIG. 2A

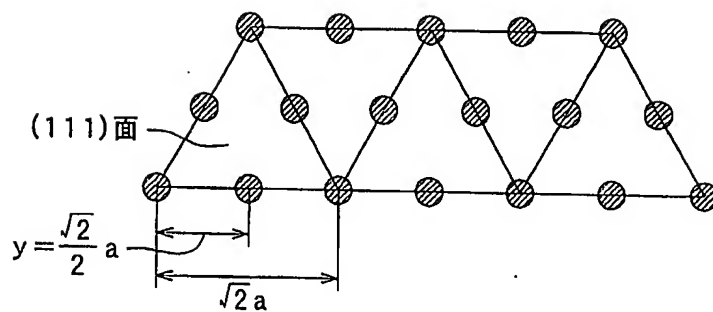


FIG. 2B

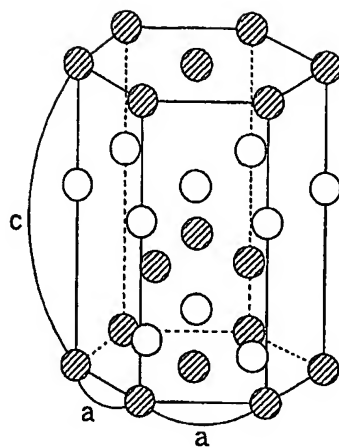


FIG. 3A

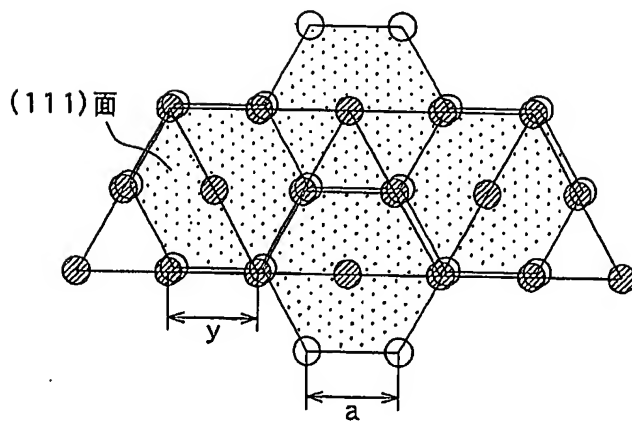


FIG. 3B

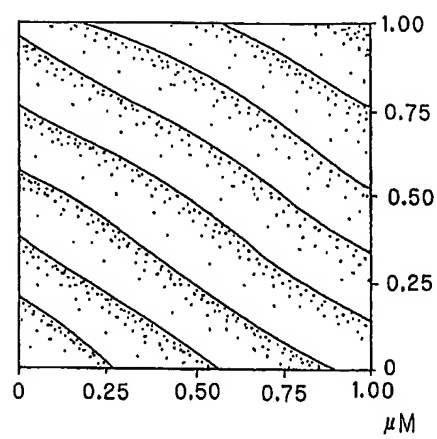


FIG. 4

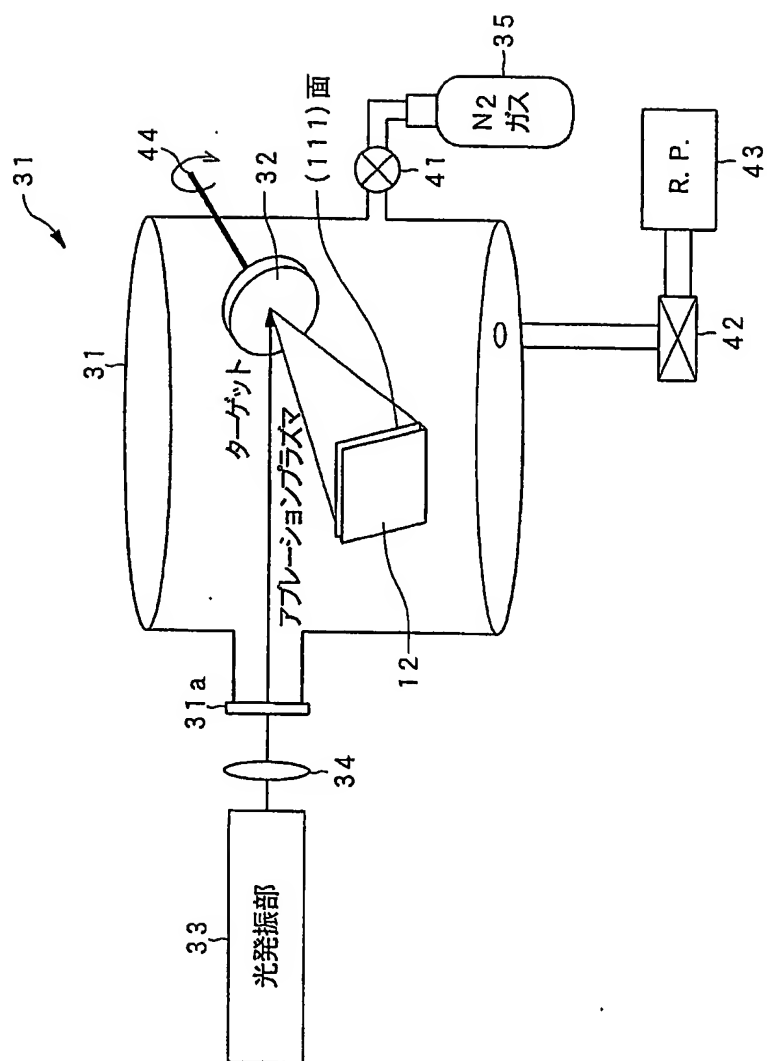


FIG. 5

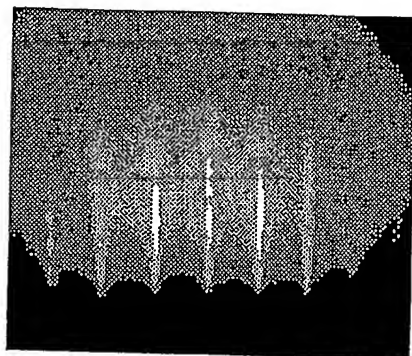


FIG. 6

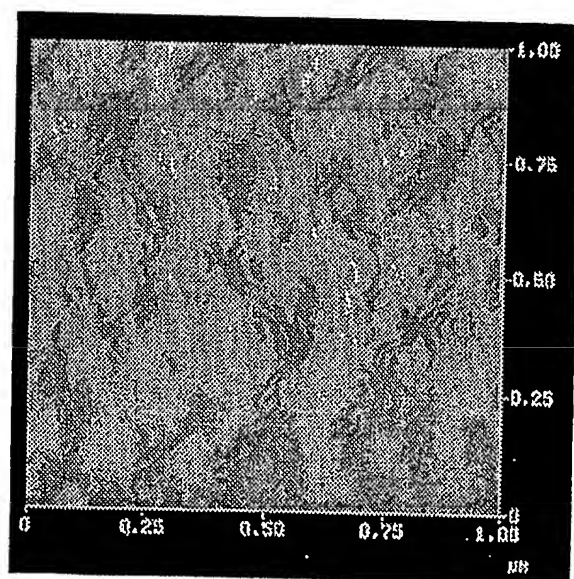


FIG. 7

Rest Available Copy

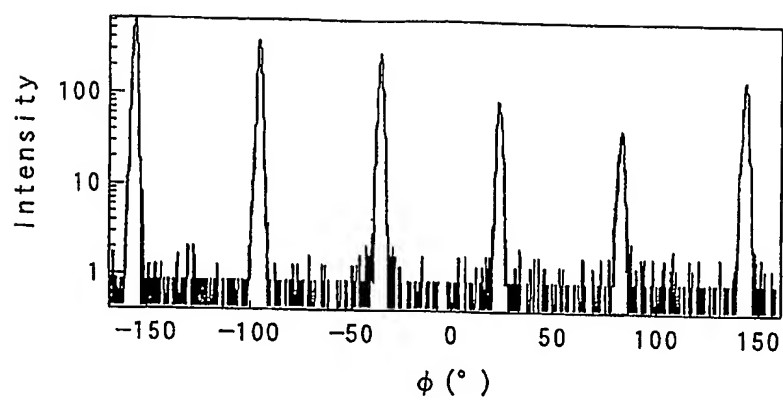


FIG. 8A

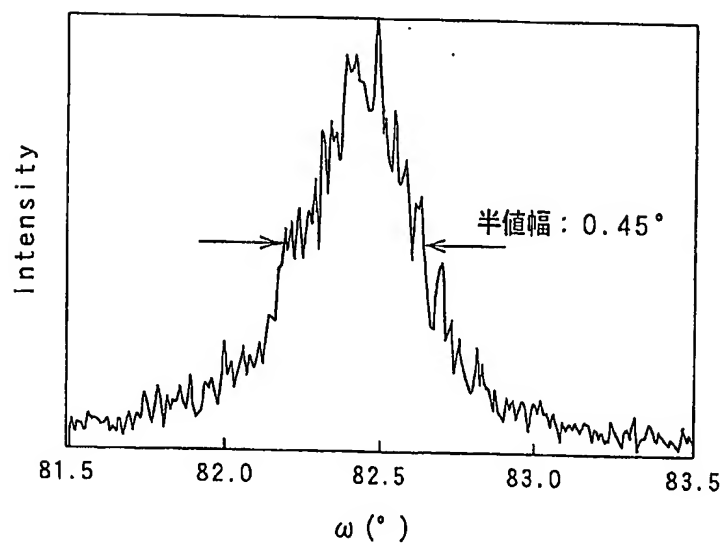


FIG. 8B

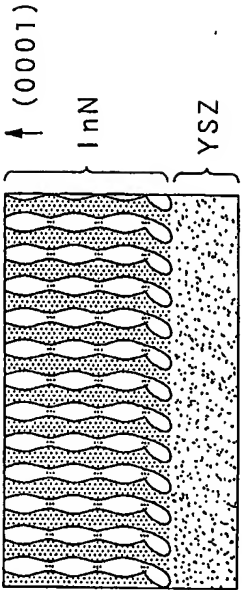


FIG. 9B

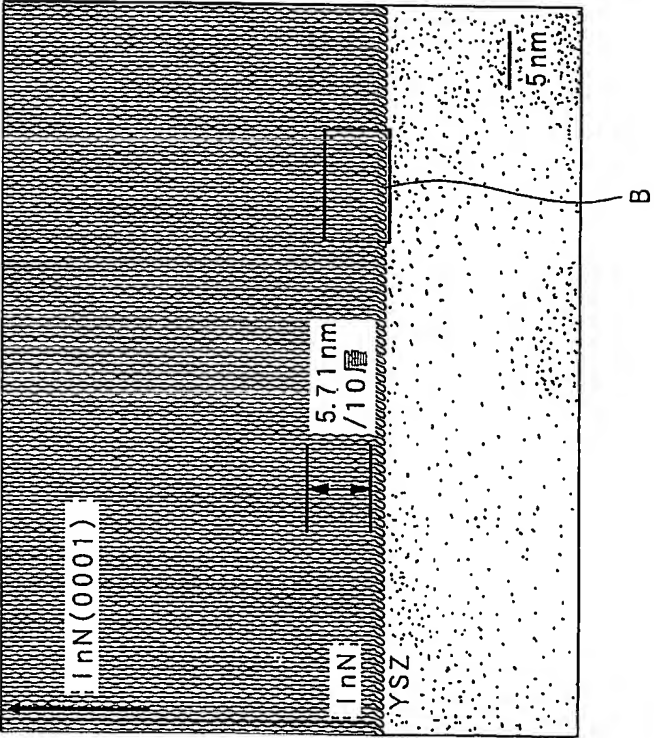


FIG. 9A

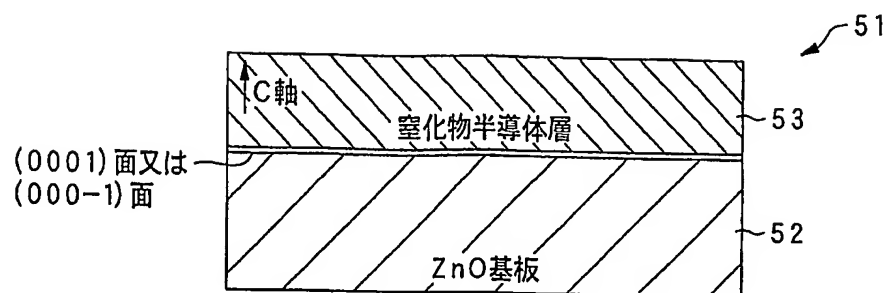


FIG.10

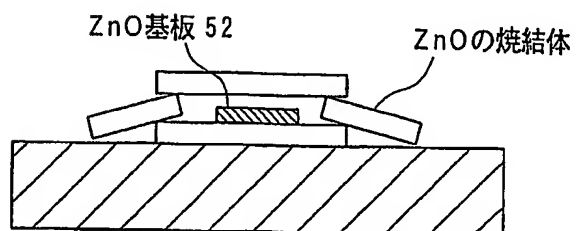
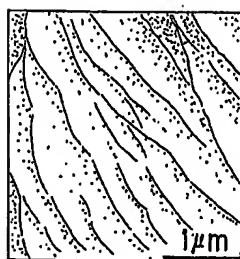


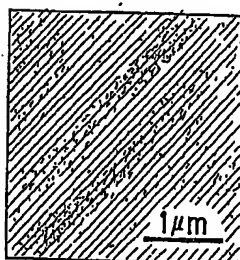
FIG.11

FIG.12A



1150 °C 6.5h

FIG.12B



1150 °C 3.5h

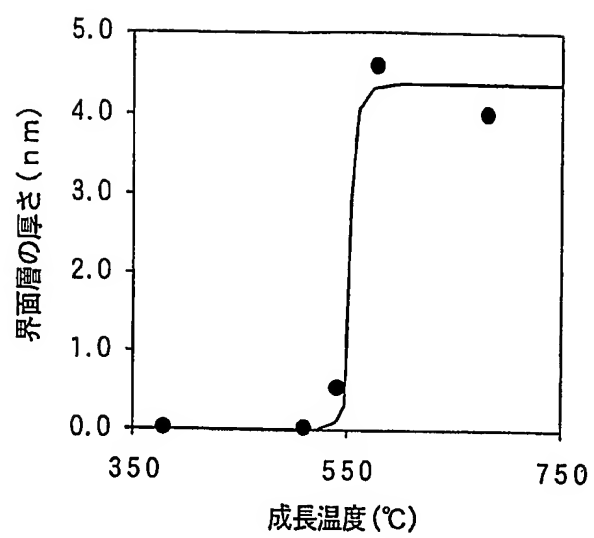


FIG.13

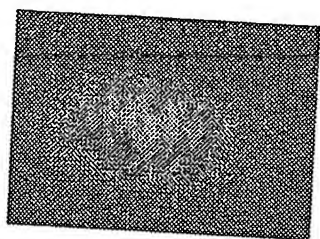


FIG. 14A

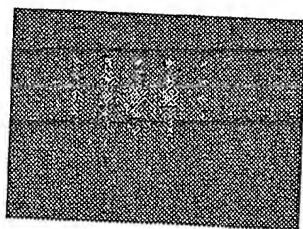


FIG. 14B

Best Available Copy

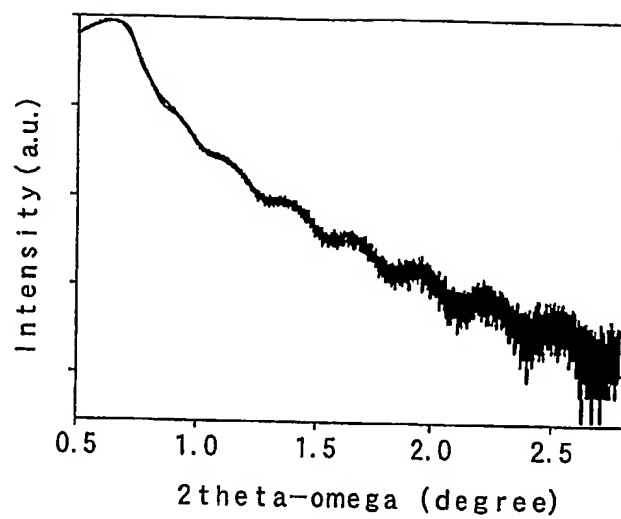


FIG.15

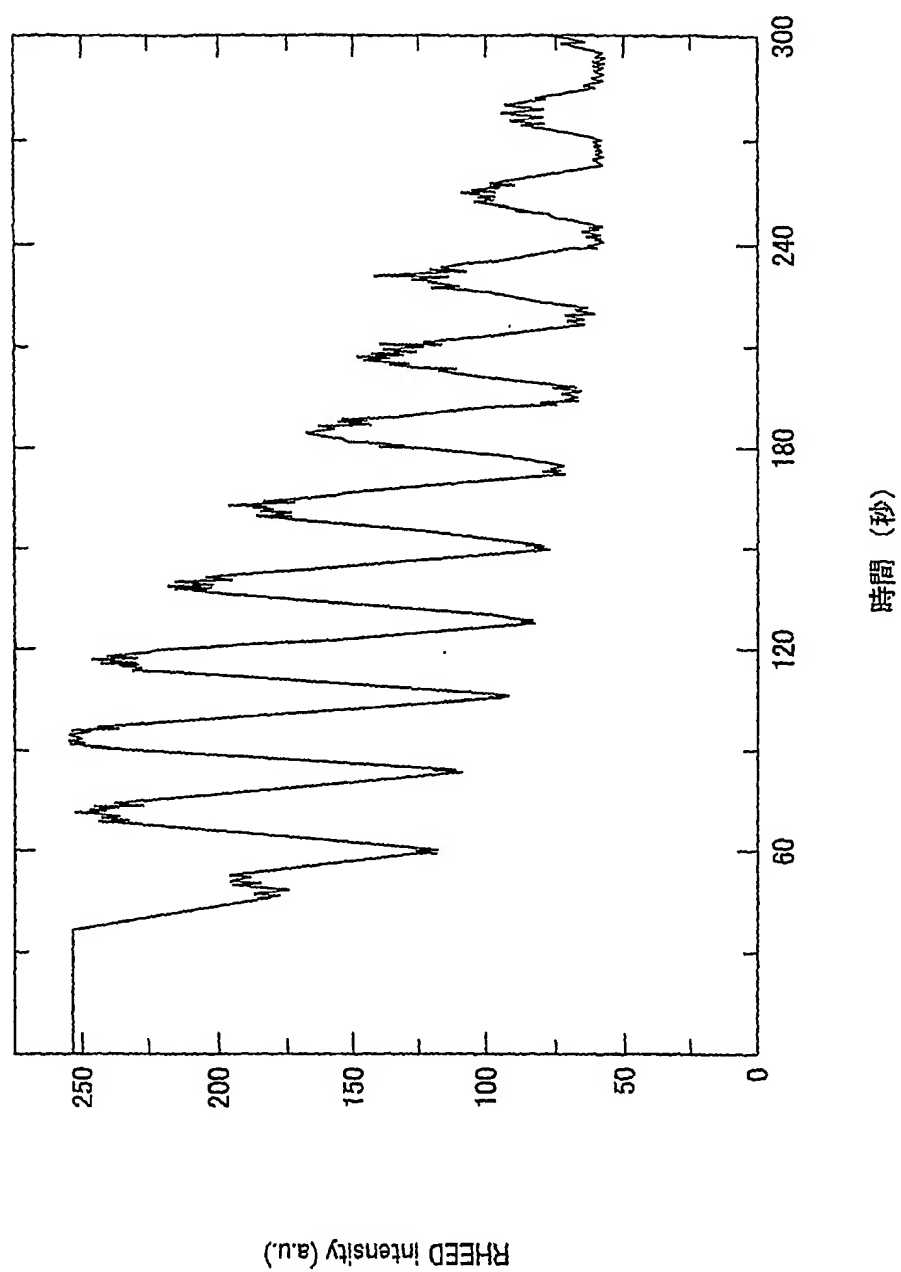


FIG. 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2004/000916

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/203

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L21/203Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| X | JP 11-162852 A (TDK Corp.), 18 June, 1999 (18.06.99), Par. Nos. [0014], [0024], [0025], [0054], [0065] (Family: none) | 1, 2, 6-8, 17 |
| X | JP 8-255932 A (Matsushita Electric Industrial Co., Ltd.), 01 October, 1996 (01.10.96), Par. Nos. [0067] to [0071] & US 5787104 A | 3 |
| X | JP 9-45960 A (NEC Corp.), 14 February, 1997 (14.02.97), Par. Nos. [0026] to [0027] & US 5815520 A & DE 19629720 A1 | 5, 16 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
30 July, 2004 (30.07.04)Date of mailing of the international search report
17 August, 2004 (17.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.